

FPGA

FPGA şirketleri, donanım mühendislerinin işini kolaylaştırmak için çok güçlü yazılım araçları tasarlamıştır. Bu yüzden FPGA teknolojisi son 20 yılda çok hızlı bir gelişme süreci göstermiştir. Her FPGA üretici firmanın kendi FPGA çiplerini programlamak amacıyla geliştirdiği yazılım araçları vardır. Örneğin, Xilinx FPGA lar Xilinx-ISE yazılımıyla programlanır. Altera Quartus yazılımı kullanarak FPGA larını konfigure eder. Yine bir başka FPGA şirketi Actel, kendi oluşturduğu Libero yazılımını kullanır.

Bir FPGA, birkaç bin ile birkaç milyon arasında kapı içerebilir. Bu kapılar logic cell'ler, flip-flop'lar ve multiplexer'lar olarak gruplandırılmışlardır ve bloklar arasında bir bağlantı yoktur. Ancak, yonga çalışmaya başladığı anda konfigürasyon amaçlı kullanılan birkaç pini ile dışarıdan tasarım bilgisini alır.

Tasarım yazılımı ile üretilen konfigürasyon dosyası, bir ROM'a yüklenir. FPGA bu tasarım dosyasındaki tasarımı yükler ve kendisine verilen işlevi gerçekleştirmeye başlar. Besleme kesildiğinde FPGA tekrar fabrika çıkışı haline döner. Konfigürasyon bilgisi doğrudan FPGA'ye bağlı bir ROM'dan alınabileceği bazı uygulamalarda, aynı devre üzerindeki ROM kullanan başka işlemciden(DSP, mikro denetleyici...) alabilir.

FPGA programlamak için en yaygın hardware proglamlama dili verilog ve VHDL dilleri kullanılır.

Verilog-HDL

Verilog elektronik sistemleri modellemek için kullanılan bir donanım tanımlama dilidir. Verilog (bazen "Verilog HDL" olarak da adlandırılır) analog, sayısal ve karışık işaretli devrelerin tasarımını, doğrulanmasını ve yürütülmesini değişik düzeylerde desteklemektedir.

Verilog dilinin tasarımcıları dilin C programlama diline yakın bir söz dizimine sahip olmasını istemişlerdir. Böylece bu dile yatkın olan mühendislerin dili kolayca kullanmasını amaçlamışlardır. Dil küçük/büyük harf duyarlılığına sahiptir ve temel denetim akışının "if" ve "while" gibi anahtar kelimeleri, C'ye benzemektedir. Verilog birkaç temel yönde C'den farklıdır. Verilog bir blok kodu tanımlamak için kıvrık parantezler yerine Begin/End kullanmaktadır. Verilog 95 ve 2001 işaretçi veya yinelemeli alt yordamlar yapılarına sahip değildir fakat SystemVerilog bu özelliklere sahiptir.

Son olarak Donanım Tanımlama Dilleri için çok önemli olan zaman kavramı C dilinde bulunmamaktadır. Verilog geleneksel programlama dilleri gibi basamaklarını tam olarak ardışık bir şekilde yürütmez. Verilog tasarımı modüller arasında bir hiyerarşi bulundurur. Modüller bir takım giriş, çıkış ve çift yönlü portlar şeklinde tanımlanır. Bir modül içinde yazmaç ve kablo listesi bulunur. Eş zamanlı ve ardışık ifadeler modülün davranışını; portların, kabloların ve yazmaçların arasındaki ilişki ile tanımlar. Ardışık ifadeler bir begin/end bloğuna konur ve blokla beraber ardışık olarak yürütülür. Tüm eş zamanlı ifadeler ve begin/end blokları koşul olarak yürütülür. Bir modül aynı zamanda diğer bir modülün bir veya daha çok örneğini içererek bir alt-davranışı belirtebilir..

Yapısal Tanımlama

Bir sayısal elektronik sistemi giriş ve/veya çıkışlarıyla beraber bir modül olarak tanımlanabilir. Çıkışın elektriksel değerleri girişin elektriksel değerlerinin bir ve birkaç fonksiyonu olarak karşımıza çıkar.

Modelsim uygulamasında verilog, hdl ya da vhdl dilleri ile geliştirdiğimiz uygulamaları wave çıktısı yani sinyal giriş-çıkışını takip etme şeklinde (Lojik Analizör gibi) simülasyonunu gerçekleştirebiliyoruz.

Altera FPGA'leri programlamak için Quartus yazılımı gerekiyor. Yazılımı indirmek aşağıdaki linki kullanabilirsiniz.

<https://www.altera.com/download/sw/dnl-sw-index.jsp>

The screenshot displays the Altera Download Center page. The main heading is "Download Center" with a breadcrumb trail: "Home > Support > Downloads > Download Center". Below this, it says "Get the complete suite of Altera design tools" and "Latest Release: Quartus II Version 13.1".

The central content area features two main download options for Quartus II:

- Quartus II Subscription Edition**: "Paid license required". Description: "The industry's #1 design software in performance and productivity. Free 30 day trial". A blue "Download" button is present.
- Quartus II Web Edition**: "FREE, no license required". Description: "A FREE, no license required version of Quartus® II software for your CPLD or medium-density FPGA. IP available for purchase". A blue "Download" button is present.

On the left side, there is a navigation menu with categories: "Design Software" (Quartus II Subscription Edition, Quartus II Web Edition, MegaCore IP Library, ModelSim-Altera, ModelSim-Altera Starter, Nios II EDS Legacy Tools, DSP Builder, Altera SDK for OpenCL, OS Support), "Embedded Software" (SoC RTOS Support, SoC EDS), "Archives" (Service Packs, Design Software), "Licensing" (Get and Manage Licenses, Licensing FAQ, License Daemon Software), "Programming Software" (Quartus II Programmer, Jam™ STAPL Software), "Drivers" (Cable & Adapter Drivers), and "Board Layout and Test" (BSDL Models, SPICE Models, IBIS Models, Schematic Review Worksheets, Layout Review Worksheets).

On the right side, there is a "Related Links" section with "What's New" (Compare Quartus II Web and Subscription Edition, Compare ModelSim-Altera and ModelSim-Altera Starter Edition, University Software).

At the bottom, there are two more download options with blue arrows pointing down:

- ModelSim**: "ModelSim-Altera software. Altera's version of ModelSim software."
- Altera® SDK for OpenCL™**: "Altera SDK for OpenCL. The FPGA industry's first Software Development Kit (SDK) for OpenCL."

Karşımıza çıkan ekran görüntüsü bu şekilde olacaktır . Ayrıca işletim sistemi kendiliğinden hangi sistemle girmiş iseniz seçili olarak geliyor.

Testbench – Simulasyon

- Sayısal devre simulasyonu ile tasarlanmış olduğumuz sayısal sistemin ve bunun alt modüllerinin gerçekleştirildiğinde çalışması hakkında bilgi edinilir.
- Bu simülasyon ile tasarlanmak istenen sistem bilinen girişler ile test edilerek beklenen sonuçlar elde edildiği doğrulanır.
- Test edilen modül DUT (Device Under Test) olarak adlandırılır.
- Testbench, test girişleri ve DUT içeren ve simulasyon sonuçlarını programsal olarak değerlendirmemize yardımcı bir modüldür.
- Tüm tasarlanan sistem için testbench oluşturulabileceği gibi kullanılan her bir modülün testi için testbench'ler de oluşturulabilir.